

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

008973683 \*\*Image available\*\*

WPI Acc No: 1992-100952/199213

XRAM Acc No: C92-047029

XRPX Acc No: N92-075476

Mfg. gate insulation film after forming oxide film - by oxidising  
silicon surface using plasma energy and depositing silicon oxide by CVD

NoAbstract Dwg 1,2/8

Patent Assignee: GTC KK (GTCG-N)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 4043642</b>	A	19920213	JP 90151837	A	19900611	199213 B

Priority Applications (No Type Date): JP 90151837 A 19900611

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4043642	A	6		
------------	---	---	--	--

Title Terms: MANUFACTURE; GATE; INSULATE; FILM; AFTER; FORMING; OXIDE;  
FILM ; SILICON; SURFACE; PLASMA; ENERGY; DEPOSIT; SILICON; OXIDE; CVD;

NOABSTRACT; OXIDATION

Index Terms/Additional Words: SILICON

Derwent Class: L03; M13; R46; U11

International Patent Class (Additional): H01L-021/31; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03678542      \*\*Image available\*\*

**FORMATION OF GATE INSULATING FILM**

PUB. NO.:      **04-043642** [JP 4043642 A]

PUBLISHED:      February 13, 1992 (19920213)

INVENTOR(s):    OKAMOTO MASAYA

TODA KIYOSHI

ISHII MITSUO

APPLICANT(s): JII TEI SHII KK [000000] (A Japanese Company or Corporation),  
JP (Japan)

APPL. NO.:      02-151837 [JP 90151837]

FILED:          June 11, 1990 (19900611)

INTL CLASS:     [5] H01L-021/316; H01L-029/784

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS)

JOURNAL:        Section: E, Section No. 1208, Vol. 16, No. 230, Pg. 43, May  
27, 1992 (19920527)

**ABSTRACT**

**PURPOSE:** To form a gate insulating film of high quality, by a method wherein an oxide film is formed by plasma-oxidizing a silicon surface, and a silicon oxide film is deposited by reacting silicon-containing gas with oxygen-containing gas by using a plasma CVD method.

**CONSTITUTION:** A polycrystalline silicon film 42 is formed by the patterning in an island type on an insulative substrate 41. After the surface of said film 42 is cleaned, the substrate is set in a plasma CVD equipment. Plasma oxidation is performed by using oxygen-containing gas, thereby forming a silicon oxide film 43 on the surface of the silicon film 42. Silicon-containing gas is introduced together with the oxygen-containing gas, and a silicon oxide film 44 is deposited. As a whole, a gate insulating film 45 is formed. When the gate insulating film 45 is formed by these two processes, characteristics of the interface between the gate insulating film 45 and the polycrystalline film 42 are improved, and the quality of the silicon oxide film 44 as the gate insulating film 45 is improved. Thereby the substrate size can be increased, and elements can be microminiaturized. In a polycrystalline silicon TFT array, a high melting point glass substrate easy to increase the substrate size can be used.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-43642

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月13日

H 01 L 21/316  
29/784

X

6940-4M

8422-4M  
9056-4M

H 01 L 29/78

3 0 1 G  
3 1 1 G

審査請求 未請求 請求項の数 6 (全6頁)

⑮ 発明の名称 ゲート絶縁膜の形成方法

⑯ 特 願 平2-151837

⑰ 出 願 平2(1990)6月11日

⑱ 発 明 者 岡 本 昌 也 東京都中央区東日本橋1-6-5 株式会社ジーティシー  
内  
⑱ 発 明 者 戸 田 清 東京都中央区東日本橋1-6-5 株式会社ジーティシー  
内  
⑱ 発 明 者 石 井 三 男 東京都中央区東日本橋1-6-5 株式会社ジーティシー  
内  
⑲ 出 願 人 株式会社ジーティシー 東京都中央区東日本橋1-6-5  
⑳ 代 理 人 弁理士 志賀 正武 外2名

明 細 書

1. 発明の名称

ゲート絶縁膜の形成方法

2. 特許請求の範囲

(1) 半導体の材料としてシリコンを用いたMOS型電界効果トランジスタのゲート絶縁膜を形成するに際し、

シリコン表面をプラズマのエネルギーを用いて酸化して酸化膜を形成し、

ついで、プラズマのエネルギーを用いたCVD法によって、シリコン酸化膜の堆積を行なうことを特徴とするゲート絶縁膜の形成方法。

(2) 半導体の材料としてシリコンを用いたMOS型電界効果トランジスタのゲート絶縁膜を形成するに際し、

シリコン表面にプラズマのエネルギーを用いたCVD法によってシリコン酸化膜を堆積し、

ついで、このシリコン酸化膜を酸素プラズマを用いてアニールすることを特徴とするゲート絶縁

膜の形成法。

(3) 半導体の材料としてシリコンを用いたMOS型電界トランジスタのゲート絶縁膜を形成するに際し、

(イ) シリコン表面をプラズマのエネルギーを用いて酸化して酸化膜を形成し、

(ロ) この酸化膜上にプラズマのエネルギーを用いたCVD法によりシリコン酸化膜を堆積させ、

(ハ) 次にこのシリコン酸化膜を酸素プラズマを用いてアニールすることを特徴とするゲート絶縁膜の形成方法。

(4) 請求項(3)において、(ロ)および(ハ)の工程を2回以上繰返すことを特徴とするゲート絶縁膜の形成方法。

(5) プラズマのエネルギーに代えて紫外光エネルギーを用いることを特徴とする請求項(1)、(2)、(3)または(4)記載のゲート絶縁膜の形成方法。

(6) 同一装置内で、連続的に各工程を行うことを特徴とする請求項(1)(2)(3)(4)ま

たは(5)記載のゲート絶縁膜の形成方法。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、シリコンを半導体としたMOS型電界効果トランジスタのゲート絶縁膜を低温で形成する方法に関する。

#### 〔従来の技術〕

シリコンを半導体として用いたMOS型電界効果トランジスタ(以下MOSFETという)は半導体集積回路や、アクティブマトリックス方式液晶ディスプレイ用の薄膜トランジスタ(以下TFETという)アレイ等に用いられる主要回路素子である。

上記MOSFETの構造は、例えば第7図に示すように、単結晶シリコン基板、或いは絶縁膜上の厚い多結晶シリコン膜1を半導体として用い、上面にゲート絶縁膜2を形成し、これを介してMOSゲート電極3を設けたもの、或いは、第8図に示すように、石英ガラス等の透明絶縁基板4上に多結晶シリコン薄膜5を半導体として設け、上

シリコンの場合と同様、高温熱酸化したゲート絶縁膜を用いた場合のみである。

#### 〔発明が解決しようとする課題〕

しかしながら、半導体集積回路においては、シリコン基板の大型化や素子寸法の微細化のために、製造プロセス温度の低温化が望まれている。また、多結晶シリコンTFETアレイにおいても高温熱酸化膜をゲート絶縁膜として用いる場合、基板として高価で大型化が困難な石英基板を用いる必要があり、低製造コスト化、TFETアレイ寸法の大型化のために、安価で大型化が可能な高融点ガラスが使用できる650℃以下の温度で高品質のゲート絶縁膜を形成することが望まれている。

そのため、気体の熱分解による化学的気相堆積法(以下CVD法という)を用いて、低温で堆積したシリコン酸化膜を用いてTFETが作製されているが、高温酸化した酸化シリコン膜に匹敵するゲート絶縁膜は得られていない。

一般に低温で高品質のゲート絶縁膜を形成する方法としては、熱エネルギーの代わりに主たるエネ

面にゲート絶縁膜2を形成し、これを介してMOSゲート電極3を接続したもの等がある。なお図中13はキャリアを供給、或いは引出すゾーン、ドレイン領域である。

上記ゲート絶縁膜2は、半導体領域となるシリコン膜1或いは5と共にこの素子の特性を決定する最も重要な部分である。

従来、半導体集積回路においては、主として単結晶シリコンを半導体として用いたMOSFETが使用されているが、この場合、半導体のシリコン自体を約1000℃の高温で熱酸化した酸化シリコン膜がゲート絶縁膜として用いられている。

またTFETアレイに使用できる半導体としては多結晶シリコン、或いは非晶質シリコンがある。これらのうち特に非晶質シリコンを用いたTFETが主に実用化されているが、多結晶シリコンを用いたTFET(以下多結晶シリコンTFETという)の方が特性上優れており、その実用化が望まれている。この多結晶シリコンTFETにおいて実用化されているのは、ゲート絶縁膜として上記単結晶

ルギの供給源として、プラズマのエネルギーや、紫外光のエネルギーを用いて膜の堆積を行ったり、下地を酸化する方法が行なわれている。この方法は、半導体集積回路の層間絶縁膜の形成方法や、非晶質シリコンTFETのゲート絶縁膜の形成方法として実用化されており、低温で高品質の膜形成が期待できるが、単結晶シリコンMOSFETや、多結晶シリコンTFET用のゲート絶縁膜の形成方法としては、実用化のレベルに達していない。

すなわち、現状において、低温で高品質の膜形成が期待できるプラズマや紫外光のエネルギーを利用して、シリコン単結晶に堆積した酸化膜は、高温で形成した酸化シリコン膜に比較して、膜中に多くの欠陥が存在する上、酸化膜と半導体の界面がもともとの半導体面であるため、良好な界面の形成が困難である。また、上記エネルギーを用いて下地半導体を酸化する場合には、界面は半導体内に形成されるので、良好な界面特性が得られることが期待できるが、膜の形成速度が極めて遅く経済的でない。さらに、下地半導体が多結晶シリコ

ンの場合には、多結晶シリコンの面方位や粒界を反映して膜の厚さがばらつく欠点を有する。

本発明は、上記の事情に鑑み、半導体集積回路においては、基板の大形化や素子寸法の微細化が可能で、多結晶シリコンTFTアレイにおいては、基板の大形化が容易な高融点ガラス基板の使用を可能とする、ゲート絶縁膜の形成方法を提供することを目的とする。

〔課題を解決するための手段〕

上記の目的を達成するため、本発明の方法は、半導体の材料としてシリコンを用いたMOS型電界効果トランジスタのゲート絶縁膜を形成するに際し、

シリコン表面をプラズマ酸化して酸化膜を形成し、

ついでプラズマCVD法によって、シリコン含有ガスと酸素含有ガスとを反応させシリコン酸化膜の堆積を行なう。

またはシリコン表面にプラズマCVD法によってシリコン含有ガスと酸素含有ガスとを反応させ

シリコン半導体との良好な界面を形成し、またシリコン含有ガスと酸素含有ガスとの反応により形成される堆積膜の欠陥は酸素含有ガスの作用によってアニールされる。また堆積膜の形成工程においては、全体の膜形成速度が確保され、特に下地半導体が多結晶シリコンの場合には多結晶シリコンの面方位と粒界の影響を低減する。

〔実施例〕

本発明の方法を実施する装置としては、プラズマのエネルギーを利用したものとして、RFプラズマCVD装置、マイクロ波プラズマCVD装置、ECRプラズマCVD装置があり、光エネルギーを利用したものとして光CVD装置がある。第1図ないし第3図に装置の具体例を示す。

第1図はRFプラズマCVD装置で、図中符号11は、プラズマCVD装置チャンバである。チャンバ11内底部には、ヒータ12が内蔵されている、陽極兼基板加熱台13が設けられ、この加熱台13上には、試料基板14が載置されている。上記チャンバ11の底部には、排気管15が設け

てシリコン酸化膜を堆積し、

ついで、このシリコン酸化膜を酸素プラズマアニールする。

または、上記方法を組合わせて

(イ) シリコン表面をプラズマ酸化して酸化膜を形成し、

(ロ) この酸化膜上にプラズマCVD法によりシリコン含有ガスと酸素含有ガスとを反応させて、シリコン酸化膜を堆積させ、

(ハ) 次にこのシリコン酸化膜酸素プラズマアニールする。

さらに上記(ロ)および(ハ)の工程を2回以上繰返してもよい。

上記方法はいずれも、プラズマに代えて紫外光エネルギーを用いてもよく、

また同一装置内で連続的に各工程を行うこともできる。

〔作用〕

本発明は上記の構成となっているので、酸素含有ガスによるシリコンの酸化はゲート絶縁膜とシ

られ、真空装置(図示せず)によってチャンバ11内を所定の真空度に保持している。また上記加熱台13の上部には、加熱台13と対向して下面にガス噴出孔16が穿設された陰極17が設けられ、この陰極17は、ガス導入管18によって外部と接続されている。この導入管18には、RF電源19が接続されている。

上記の装置を用いてCVD法によってシリコン酸化物を試料基板14上に堆積させるには、試料基板14を所定の温度に加熱するとともに、チャンバ11内を所定の真空度に保持し、ガス導入管18から $SiH_4$ 、 $SiH_2$ 等のシリコン含有ガスと $O_2$ 、 $N_2O$ 等の酸素含有ガスを導入しながら陰極17にRF電力19を印加する。これにより、上記陰極17と陽極兼加熱台13との間にプラズマが発生され、試料基板14の面にシリコン酸化膜が形成される。この場合、導入ガスを酸素含有ガスのみとすればシリコンのプラズマ酸化、或いはシリコン酸化膜のプラズマアニールが行なわれる。

このようにシリコン含有ガスの送人を停止することにより、2つの工程が自由に切換えられる。

第2図は、ECRプラズマCVD装置を示すもので、第1図と同一機能部分同一符号を付してその説明を省略する。

この装置においては、ECRプラズマ発生室21にプラズマ発生用ガス導入管22より酸素を含むプラズマ発生用ガスを導入しながらECR条件を満たすようにマイクロ波導入口23より導入されるマイクロ波電力と磁界24を印加し、高密度のプラズマを発生させこのプラズマを反応室25に引出すことによって、シリコン含有ガス導入管26から導入されるシリコン含有ガスと反応させ、基板加熱台27に載置された試料基板14の面にシリコン酸化膜を形成する。

この装置においても導入管26より導入されるシリコン含有ガスを停止すればECRプラズマによるシリコン酸化、或いは堆積膜のアニールを行なうことができる。

また、第3図は、光CVD装置を示すもので第

マCVD装置内にセットし、絶縁基板41の温度を400～700℃にして酸素含有ガスによりプラズマ酸化を行ない、シリコン膜42の表面に数nm～数10nmの酸化シリコン膜43を形成する。次いで同じ温度範囲で酸素含有ガスと共にシリコン含有ガスを導入し、膜厚数10nm～数100nmのシリコン酸化膜44を堆積し、全体として数10nm～数100nmのゲート絶縁膜45を形成する。

なお、上記酸化シリコン膜43は、多結晶シリコン膜42の面に形成され、シリコン酸化膜44は絶縁基板41の面にも形成される。

上記2つの工程によってゲート絶縁膜45を形成すると、シリコン酸化膜43を形成する場合と比較して、ゲート絶縁膜45と多結晶シリコン膜42の間の界面特性が向上しゲート絶縁膜45としてのシリコン酸化膜44が高品質化する。

なお、プラズマ酸化法で酸化シリコン膜43を形成すると、膜形成速度が非常に遅くこれ単独で全膜厚を形成するには時間を要し、実用性を失な

1図、第2図と同一機能部分には同一符号が付してある。

ガス導入管18からシリコン含有ガスおよび酸素含有ガスの反応ガスを導入しながら、石英窓31を通して、試料基板14上に紫外光光源32の光を導入しガスを分解することにより、試料基板14上にシリコン酸化膜が形成される。この場合もシリコン含有ガスを停止すれば、シリコンの光酸化、或いは、光酸素アニールが行なわれる。

次に、ゲート絶縁膜を形成する工程について説明する。

多結晶シリコンTFTの場合も、単結晶シリコンによるMOSFETの場合も、ゲート絶縁膜の形成工程は同一であり、プラズマCVD装置を用いた多結晶シリコンTFTの工程を代表例として説明する。

第4図(a)(b)(c)は工程の一例を示す図で、絶縁基板41上に島状にパターンニングした膜厚10nm～数100nmの多結晶シリコン膜42の表面を十分にクリーニングした後、プラズ

う。

また、第5図(a)(b)(c)に示すように、絶縁基板41上の多結晶シリコン膜42の表面に、絶縁基板41の温度を400～700℃として数10nm～数100nmのシリコン酸化膜44を堆積した後、同じ温度範囲下、酸素プラズマ中でアニールすることによりゲート絶縁膜45を形成する。

この場合、酸素プラズマアニール中に酸素原子、或いはイオンが、堆積したシリコン酸化膜44中に拡散し、シリコン酸化膜中の欠陥およびシリコン酸化膜44と多結晶シリコン膜42間の界面の欠陥のアニールが行われゲート絶縁膜45としてのシリコン酸化膜44がアニールされたシリコン酸化膜46となり高品質化される。

また第6図(a)(b)(c)(d)(e)は、上記2つの方法を組合わせたもので表面クリーニングした多結晶シリコン膜42に数nm～数10nmの酸化シリコン膜43を形成し、さらに数10nm以下のシリコン酸化膜44の堆積を行ない

これを酸素プラズマアニールして、アニールされたシリコン酸化膜46とする工程を最低行ない、第6図(d)に示すものをつくる。その後、シリコン酸化膜44の堆積、酸素プラズマアニールをしてアニールされたシリコン酸化膜46とする工程を繰返す。この場合繰返し回数が多い程、高品質のゲート絶縁膜45が得られる。

上記工程は、ECRプラズマCVD装置、マイクロ波プラズマCVD装置、光CVD装置等いずれを用いても実施可能である。

なお、上記装置ではヒータによる加熱を行なわなくとも比較的高品質のシリコン酸化膜44の堆積が可能であり、シリコン酸化膜の堆積温度としては室温から700℃程度までが使用出来る。

(発明の効果)

以上説明したように、本発明の方法は、低温で高品質のゲート絶縁膜の成形が可能となるので、半導体集積回路においては、基板の大形化や素子寸法の微細化、多結晶シリコンTFTアレイにおいては、安価で、基板の大型化が可能な高融点ガ

スの使用が可能となる等、多くの長所を有する方法である。

#### 4. 図面の簡単な説明

第1図ないし第3図は、本発明の方法を実施する装置の例を示すもので、第1図はRFプラズマCVD装置、第2図は、ECRプラズマCVD装置、第3図は光(紫外光)CVD装置、第4図(a)(b)(c)は工程の順の一例を示す図で、第4図(a)は、多結晶シリコン膜を絶縁基板上にセットした図、第4図(b)は多結晶シリコン膜面に酸化シリコン膜を形成した図、第4図(c)はさらにその上にシリコン酸化膜を堆積した図、第5図(a)(b)(c)は本発明の方法の他の例を示すもので、第5図(a)は多結晶シリコン膜を絶縁基板上にセットした図、第5図(b)は多結晶シリコン膜面にシリコン酸化膜を堆積した図、第5図(c)はシリコン酸化膜を酸素によってアニールした図、第6図(a)(b)(c)(d)(e)は、第4図、第5図の工程を合わせたもので、第6図(a)は多結晶シリコンを絶縁基板上

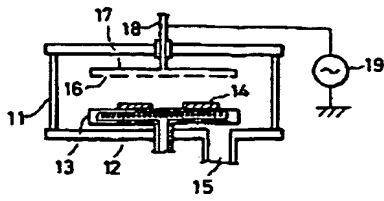
にセットした図、第6図(b)は、多結晶シリコン膜面に酸化シリコン膜を形成した図、第6図(c)は酸化シリコン膜面にシリコン酸化膜を堆積した図、第6図(d)はシリコン酸化膜をアニールした図、第6図(e)はアニールしたシリコン酸化膜面にさらにシリコン酸化膜の堆積、アニールを繰返した図、第7図、第8図は、従来のMOSFETの構造例を示すもので、第7図は単結晶シリコン基板、或いは厚い多結晶シリコン膜を半導体として用いた図、第8図は多結晶シリコン膜を半導体として用いた図である。

1……単結晶シリコン基板或いは多結晶シリコン膜、2……ゲート絶縁膜、3……MOSゲート電極、4……透明絶縁基板、5……多結晶シリコン薄膜、11……プラズマCVD装置チャンバ(チャンバ)、12……ヒータ、13……陽極兼基板加熱台(加熱台)、14……シリコン試料基板(試料基板)、15……排気管、16……ガス噴出孔、17……陰極、18……ガス導入管、19……R

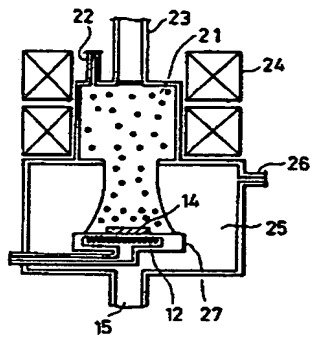
F電力、21……ECRプラズマ発生室、22……プラズマ発生用ガス導入管、23……マイクロ波導入口、24……磁界、25……反応室、26……けい素含有ガス導入管、27……基板加熱台、31……石英窓、32……紫外線光源、41……絶縁基板、42……多結晶シリコン膜、43……酸化シリコン膜、44……シリコン酸化膜、45……ゲート絶縁膜、46……アニールされたシリコン酸化膜。

出願人 株式会社 ジーティシー

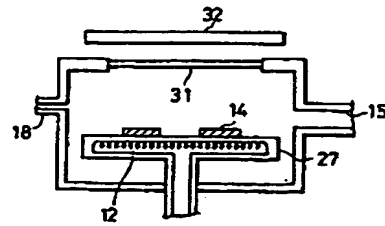
第 1 図



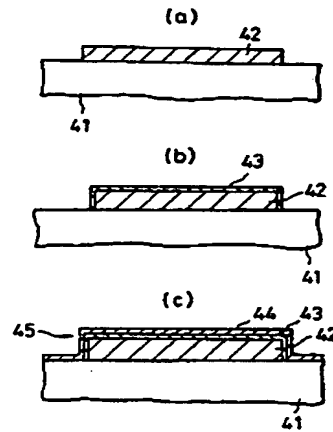
第 2 図



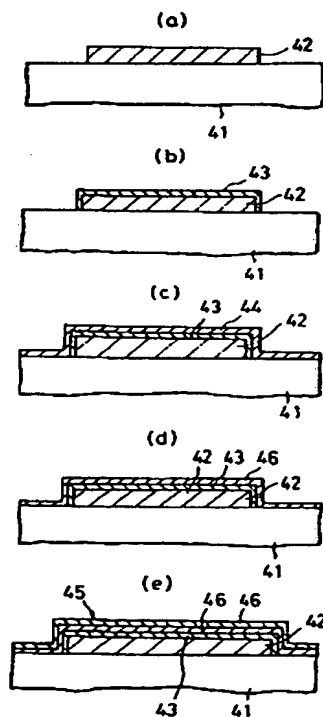
第 3 図



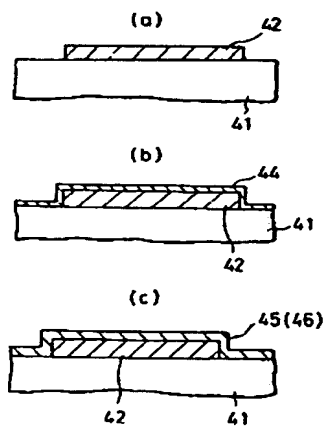
第 4 図



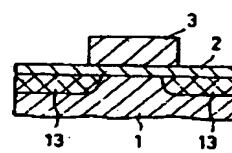
第 6 図



第 5 図



第 7 図



第 8 図

